DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

011212463 ***Image available WPI Acc No: 1997-190388 199717

Related WPI Acc No: 1997-190387; 1997-233573; 1997-287100; 2000-288763;

2000-288764

XRAM Acc No: C97-060858 XRPX Acc No: N97-157388

Semiconductor device, e.g. TFT, mfg. method - involves heating impurity diffused areas by rapid thermal annealing at particular temp, which is

gradually increased

Patent Assignee: SANYO ELECTRIC CO LTD (SAOL)

Inventor: HIRANO K: MORIMOTO Y: SOTANI N: YAMAJI T: YONEDA K

Number of Countries: 003 Number of Patents: 003

Patent Family:

Patent No Kind Date Applicat No. Kind Date Week 19950804 199717 B JP 9051100 19970218 JP 95199982 Λ Α KR 97008658 19970224 KR 9626820 Λ 19960703 199812 US 5771110 Α 19980623 US 96677424 Α 19960702 199832

Priority Applications (No Type Date): JP 95199982 A 19950804; JP 95167513 A 19950703; JP 95199979 A 19950804; JP 95199980 A 19950804; JP 95199981 A 19950804

Patent Details:

Patent No Kind Lan Pg Main IPC Filing Notes

JP 9051100 A 10 H01L-029/786 KR 97008658 A H01L-029/78 US 5771110 A H01L-029/786

Abstract (Basic): JP 9051100 A

The method involves laying a polycrystalline Si film (4) on a substrate (1) over which a first polycrystalline Si film (2) is provided. A gate electrode (6) is formed through a gate insulating film (5) over the first polycrystalline Si film. Impurity diffused areas (9) in the second polycrystalline Si film act as source drain for it. The impurity diffused areas are activated by (rapid thermal annealing (RTA) method for nearly about 6 times, in which heat at particular temperature is applied initially and then raised gradually till the end.

ADVANTAGE: - Avoids formation of curvature in substrate. Prevents substrate from being damaged due to heat treatment by RTA method.

Dwg.3 17

Title Terms: SEMICONDUCTOR: DEVICE: TET: MANUEACTURE: METHOD: HEAE: IMPURE: DIFFUSION: AREA: RAPID: THERMAL: ANNEAE: IEMPERATURE: GRADUAL INCREASE

(19)日本国特許庁 (JP) (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-51100

(43)公開日 平成9年(1997)2月18日

(51) Int.Cl.6

識別記号

庁内整理番号

FΙ

技術表示箇所

H01L 29/786

21/336

H01L 29/78

616L

627F

審査請求 未請求 請求項の数2 〇L (全10頁)

(21)出願番号

特膜平7-199982

(22)出願日

平成7年(1995)8月4日

(71)出顧人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 平野 貴一

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 曽谷 直哉

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72)発明者 山路 敏文

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74)代理人 弁理士 岡田 敬

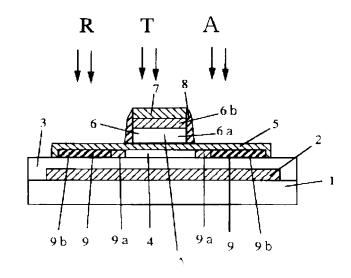
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 熱処理にRTA法を用いた場合における基板 の反りや破損を防止すること。

【解決手段】 ガラス基板 1 上に多結晶 S i 膜 4 を形成 し、この多結晶Si膜2の上に、ゲート絶縁膜5を介し てゲート電極6を形成し、多結晶8 1 膜4 に、ソース ドレイン領域9となる不純物領域を形成し、この不純物 領域をRTA法により熱処理して活性化する。そして、 このRTAによる熱加熱は6回を1単位として行うとと もに、加熱温度を初回から最終回にかけて段階的に上昇 させる。



【特許請求の範囲】

【請求項1】 基板上に半導体素子を形成する過程の熱処理にRTA法(Rapid Thermal Annealing)を用いるものにおいて、前記RTAによる熱加熱を複数回を1単位として行うとともに、加熱温度を初回から最終回にかけて段階的に上昇させることを特徴とした半導体装置の製造方法。

【請求頃2】 基板上に半導体膜を形成する工程と、この半導体膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体膜に不純物領域を形成する工程と、この不純物領域をRTA法により熱処理して活性化する工程とを備え、前記RTAによる熱加熱を複数回を1単位として行うとともに、加熱温度を初回から最終回にかけて段階的に上昇させることを特徴とした半導体装置の製造方法。

【発明の詳細な説明】

[0001]

【発明の属する技術分野】本発明は、薄膜トランジスタ (Thin Film Transistor) などの半導体装置の製造方法に 関する。

[0002]

【逆来の技術】近年、アクティブマトリクス方式LCDの画素駆動用素子(画素駆動用トランジスタ)として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ(以下、多結晶シリコンTF Tという)の開発が進められている。

【0003】多結晶シリコンTFTは、非晶質シリコン膜を能動層に用いた薄膜トランジスタに比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTを用いれば、高性能なLCDを実現できる上に、画素部(表示部)たけでなく周辺駆動回路(ドライバ部)までを同一基板上に一体に形成することができる。

【0004】このような多結晶シリコンTFTにおいて、能動層としての多結晶シリコン膜の形成方法としては、基板上に直接多結晶シリコン膜を堆積させる方法や基板上に非晶質シリコン膜を形成した後に、これを多結晶化する方法等がある。このうち、多結晶シリコン膜を直接基板に堆積させる方法は、例えば、(VD法を用し、高温下で堆積させるという比較的簡単な工程である。

【0005】また、非晶質ショコシ膜を堆積した後にこれを多結晶化するには、固相成長法が一般的である。この即用成長法は、非品質シリコ:壁に熱処理を行うこと

中、温度900七程度で熱処理を行うことにより、前記 非晶質シリコン膜を固相成長させて多結晶シリコン膜5 2を形成する。前記多結晶シリコン膜52を薄膜トランシスタの能動層として用いるために、フォトリソグラフィ技術、RIE法によるドライエッチング技術により前記多結晶シリコン膜52を所定形状に加工する。

【0007】前記多結晶シリコン膜52の上に、減圧C VD法を用いて、ケート絶縁膜53としてのシリコン酸 化膜を堆積する。

工程B (図17参照) :前記ゲート絶縁膜53上に、減 圧CVD法により多結晶シリコン膜を堆積した後、この 多結晶シリコン膜に不純物を注入し、更に熱処理を行っ て不純物を活性化させる。

【0008】次に、常圧CVD法により、この多結晶シリコン膜の上にシリコン酸化膜54を堆積した後、フォトリソグラフィ技術、R1E法によるドライエッチング技術を用いて、前記多結晶シリコン膜及びシリコン酸化膜54を所定形状に加工する。前記多結晶シリコン膜はゲート電極55として使用する。次に、自己整合技術により、ケート電極55及びシリコン酸化膜54をマスクとして、多結晶シリコン膜52に不純物を注入し、ソースニドレイン値域56を形成する。

【0009】最後に、更に熱処理を行って、ソースごドレイン領域56としての不純物を活性化させる。このような方法は、固相成長や不純物活性化の時に900℃程度の高い温度を使用することから、高温プロセスと呼ばれており、耐熱性の高い基板(例えば、石英基板)を用いた場合には、処理時間が短く済むという利点がある。

【0010】一方では、基板に熱歪みが生じる心配がな て、比較的安価なガラス基板を用いることのできる低温 プロセスを用いた開発も盛んである。特に、駆動デバイ スであるTFTにおいては、高性能化が必須であり、こ のために、各プロセスを用いたTFTの構成材料の高品 質化をはじめとする様々なアプローチがなされている。

【0011】例えば、デバイス特性を左右する不純物領域と活性化接切として、1ーザーアニール基やRTA法 つ用いこれでいる。特に、RTA生は、700で以上の 高温を可いるか、きわめて知時間で終えることができる して知い処理時間で活性化を行うことができる。

[0012]

【発明が解決しようとする課題】レーザーアニール法は、ビーム走資を何度も繰り返して行う企製があるた

ア、活性化プロセスに時間がかかるという問題がある。

一方 RTA生は、短時間ではあるが、基权に対して非

【即題を解判するための手段】請告第1の半導化失費の

and the second of the second o

^{【0006】 [14]} A [図16巻刊 : 絶縁基板。例えば 石英ガラス) 51上に、通常の減回CVロ法を用いて非 毎年 ロー、瞳が形成 : 更に、母素 写い 雰囲気

である。 かんしい ない ない かんりょう しんり かんだい かん ひかん 関連技術 軽速性 えき いてまる

^[0014]

製造方法にあっては、基板上に半導体素子を形成する過程の熱処理にRTA法を用いるものにおいて、前記RTAによる熱加熱を複数回を1単位として行うとともに、加熱温度を初回から最終回にかけて段階的に上昇させるものである。

【0015】また、請求項2の半導体装置の製造方法にあっては、基板上に半導体膜を形成する工程と、この半導体膜の上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記半導体膜に不純物領域を形成する工程と、この不純物領域をRTA法により熱処理して活性化する工程とを備え、前記RTAによる熱加熱を複数回を1単位として行うとともに、加熱温度を初回から最終回にかけて段階的に上昇させるものである。

[0016]

【発明の実施の形態】本発明を具体化した一実施形態を 図1万至図10に従って説明する。

工程1(図1参照):石英ガラスや無アルカリガラスなとの基板1上に、スパッタ法を用いて、タングステンシリサイド(WSix)膜2(膜厚1000人、但し50~2000人の範囲で調整可能である))を形成する。スパッタ法では、Wシリサイドの合金ターケットを使用する。Wシリサイド(WSix)の化学量論的組成はX=2であるが、合金ターゲットの組成はX>2に近いと、その後の熱処理時に非常に大きな引っ張り応力が生じ、Wシリサイド膜2にクラックが発生したり、剥離したりする恐れがあるためである。但し、Wシリサイドの抵抗値はX=2の場合に最も低くなるため、クラックや剥離が生じない程度にXの上限を設定する必要がある。

【0017】 工程2(図2参照): 前記Wシリサイド膜2を、リソグラフィ技術、エッチング技術を用いて、後 込するトランシスタの能動層としての多結晶シリコンと 同じパターンに加工する。

工程3 (図3参照) :前記基板1及びWシリサイド膜2 を覆うように、ト i (ロgやト i Nなどの絶縁性薄膜3を c V D法やスパッタ法などにより形成する。具体的に d、基板1として無アルカリカラスを使用し、その表面 上に常圧又は減圧C V D法により、形成温度350 U て、膜厚3000~5000 Aのト i (Og膜を形成する。

【0018】このSiO2膜の膜厚は、後上程の熱処理 やビーム照射などで基板1中の下純物がこのSiO2膜 を通過して上層・拡散しない程度の厚みか必要で、10 71.

【0019】工程4(図4参照):前記絶縁性薄膜3の上に、非晶質シリコン膜4a(膜厚500A)を形成する。この非晶質シリコン膜4aをTFTの能動層として用いた場合、この能動層が厚すぎると、多結晶シリコンTFTの寸つ電流が増大し、薄すぎると寸ン電流が減少するため、このときの非晶質シリコン膜4aの膜厚は、400~800Aの範囲が適切で、500~700Aにしたときに特性が良好で、その中でも500~600Aの場合がもっとも適している。

【0 0 2 0】前記非品質シリコン膜4aの形成方法には 以下のものがある。

①減圧CVDを用いる方法:減圧CVD法でシリコン膜を形成するには、モノシラン(SiH4)又はジシラン(SigH6)の熱分解を用いる。モノシランを用いた場合、処理温度が5500以下では非晶質、6200以上では多結晶となる。そして、550~620℃では微結晶を含む非晶質が多くなり、温度か低くなるほど非晶質に近づいて微結晶が少なくなる。従って、温度条件を変えるだけで、非晶質シリコン膜4 α 中の微結晶の量を調整することができる。

【0021】ロプラスマCVD法を用いる方法:プラズマCVD法で非晶質シリコン膜を形成するには、プラズマ中でのモノシランまたはジシランの熱分解を用いる。 実際の工程では、前記①の方法を採用し、使用ガス:モノシラン、温度:350℃の条件で、微結晶を含まない非晶質シリコン膜を形成している。

工程 5 (図 5 参照) : 前記非品質シリコン膜 4 a の表面に放長 $\lambda = 2.48$ n m の K r F エキシマレーザービームを走在してアニール処理を行い、非品質シリコン膜 4 a を溶融再結品化して、多結品シリコン薄膜 4 を形成する。

【0022】この時のレーザー条件は、アニール雰囲気: 1>10-1P a以下、基板温度: 室温~600℃、野射エネルギー密度: 100~500mJ 「cm²、走竜速度: 1~10nm 」、ec(実際には、0、1~100pp 」、ecの範囲の速度で走査可能: である。前記レーサービームとしては、波長ュ=303nmの入をに1ニキシマレーサーを使用してもよい。この時のレーザー条件は、アニール雰囲気: 1×10-4P a以下、基板温度: 室温~600℃、照射エネルギー密度: 100~500mJ 「cn²、走査速度: 1~10mm」。ec(実際には、0、1~100mm」。ecの範囲の速度で走去に他)でまる。

19組~600(、 例: 20年 発度 100~600 mJ cm²、走有速度 1~10mm 。ccであ ー ・サルス: - ボーバー人を明してき、明射でスリギ

⁻ 緑色的族は 1.000~5000 (1.0000~ 5000 (1.0000~ 5000 (1.00

一密度及び照射回数に比例して、多結晶シリコンの粒径 は大きくなるので、所望の大きさの粒径が得られるよう に、エネルギー密度を調整すればよい。

【0024】本実施例では、このエキシマレーザーデニ ールに、高スルーフットレーザー照射法を用いる。即 も、図14において、101はKrFエキシマレーザ ー、102はこの1~-ザー101からのレーザービーム を反射する反射鎖、103は反射鎖102からのレーザ ーピームを所定の状態に加工し、基板1に照射するレー ザービーム制御光学系である。

【0025】このような構成において、高スループット レーザー照射法とは、レーザービーム制御光学系103 によってシート状 (150mm×0.5mm) に加田さ れたレーザービームを、複数パルスの重ね合わせにより 照射する方法で、ステージ走査とバルスレーザ照射を完 全に同期させ、きわめて高精度な重複でレーザーを照射 することによりスループットを高めるものである。

【0 0 2 6 】工程 6 (図 6 参照) :前記多結晶シリコン 膜4を薄膜トランジスタの能動層として用いるために、 フォトリソグラフィ技術、RIE法によるドライエッチ シグ技術により前記多結晶シリコン膜 4 を所定形状に加 主する。そして、前記多結晶シリコン膜4の上に、ロー ドロック式滅圧CVD装置を用いた滅圧CVD法によ り、ゲート絶縁膜としてのLTの膜 Low Temperature 0x1de:シリコン酸化膜) 5 (膜厚1000Å) を形成 する。

【0027】工程7(図7参照):前記ゲート絶縁膜5 の上に、減圧CVD法により非晶質シリコン膜(膜厚2 は、その形成時に不純物(N型ならヒ素やリン、P型な らホロン)がドープされているが、ノンドーブ状態で堆 積し、その後に不純物を注入してもよい。次に、スパッ 々法を用い、前記非晶質シリコン膜 6 aの上にタングス テンシリサイド (WSix) 膜6b (膜厚1000A) を形成する。

【0.028】そして、常圧CVD法により、前記Wンリ ニイド膜ももの上にシリコン酸化膜でを堆積した後、フ ォトリソグラフィ技術、R T E 法によるドライエッチン 7技術を用いて、前記多結晶シリコン膜6a、Wシリサ イド膜6万及びシリコン酸化膜7を所定形状に加工す。 る。前記非品質シリコン膜6aは、前記Wシリサイド膜 6 b とともにオリサイド構造のゲート電極6として使用 する。

・こうのしょう自己 ひくでいく さかだ 下級線膜炎

State : 。処力にサイトウォールトを形成する。そして、自己整 台抄衙により、サイドウォールドをマスクとして、多結 一个人,数据是一个更数据的人,这样,这一样,又提出

× 1 () ¹³ c m⁻²の条件で、リン(P)イオンを下純物と して注入し、低濃度の不純物領域9aを形成する。

【0030】 [程9(図9参照):前記サイドウォール 8及びシリコン酸化膜でをレジスト10で覆い、再び自 **己整合技術により、レシスト10をマスクとして多結晶** シリコン膜4に、加速電圧:80KeV、ドース量1× 1 () ¹⁵ c m⁻²の条件で、リン(P)イオンを不純物とし て注入し、高濃度の不純物領域96を形成することによ り、L.D.D (Lightly Doped Drain) 構造のソースごド レイン領域9を形成する。

【0031】 1程10 (図10参照) : この状態で、R TA (Rapid Thermal Annealing) 法による急速加熱を 行う。即ち、図15において、105はシート状のアニ ール光を発する光顔であり、キセノン (Xe) アークラ ンプ106とそれを包む反射鏡107を1組として、こ れを上下に相対向させることにより構成している。 1 0 8、108は基板1を搬送するためのローラー、109 は予熱用のプリヒーター、110は加熱後の基板が急激 に冷却されてひび割れしないようにするための補助ヒー ターである。

【0032】このような構成において、基板1をプリヒ ーター106で予熱した後、シート状のアニール光頗1 O 5を通して、熱処理する。本実施形態でのRTAは、 窒素 (N₂) 雰囲気中で、加熱を6回に分けて行い、各 回ごとの処理温度が段階的に上昇するように設定してい る。即ち、初回(1回目): 400℃(パイロメータ、 以下同じ)→2回目:500℃→3回目:550℃→4 回目:600℃→5回目:650℃→最終回(6回 目):700でとし、徐々に温度を上げることにより、 基板工が反ったり破損したりすることのないようにして いる。各回の処理時間は1~3秒である。

【() () 3 3 】温度の調整は、初回は前記×eデークラン プ106を点灯せず、プリヒータ109の熱を用い、2 所目以降は、Xモアークランプ上0.6のパワーを1.KW ~7KWの範囲で変えることにより行っている。尚、最 **終回の温度は行り()で としたが、よりロ~りよりでであ** ればよい。面記又もアークランプの光熱は、多結晶部よ りも非晶質器やプリサイト部に強(吸収されるため、心 要な部分のみを重点的に加熱することが可能になり、

(ゲート) 配線の低抵抗化や下純物の活性化に適してい る。また、夜迷するようにWシリサイド膜2を用いた加 熱も有効に行っことができる。

【0034】そして、この色速加熱により、前記ソース ドレコン語域りの不締物が特性化せる ヒヒもに前記井

^{1.} A. S. 1.

⁽⁴⁾ 公门集亡马耳克。また,那怕人失再治位。九八二人 | おしてン領域もカシート抵抗も、出型で1~1。 かん ローニーの形ですべす。のその一下で、務準では代えて

用いられる拡散炉による高温熱処理と同等のものとなっ。

【0035】特に、本実施例では、多結晶シリコン膜4に対応して、その下方にWシリサイド膜2を形成している。このWシリサイド膜2は、RTAの熱を吸収する作用があり、熱を吸収したWシリサイド膜2からの放射熱によっても前記多結晶シリコン膜4の不純物の活性化が行われる。即ち、多結晶シリコン膜4を、Xeアークランプによる熱とWシリサイド膜2からの放射熱とにより、直接及び間接的に加熱することにより、多結晶シリコン膜4全体を均一に加熱し、活性化がバラツクことなて良好に行われるようにする。

【0036】Wシリサイド膜2の大きさは、基本的に、多結晶シリコン膜4と同じか又はそれ以上であればよいが、面内でのパターンの大きさに対応した面積となるように調整すれば、なお好ましい。即ち、集積化半導体デバイスでは、パターンの疎密が基板上に発生するため、各トランジスタに均等にWシリサイド膜2を設けたのでは、場所によって単位面積当りの熱吸収率が異なり、均一な熱処理が行えず、また、Wシリサイド膜2が集中する場所での温度が非常に高くなって基板1が変形する場合がある。

【10037】そこで、下層に配置した熱吸収膜の単位面 損当りの密度を、その上層に形成されるパターンに係わ らずほぼ一定となるようにすれば、RTAで活性化する ときの温度分布の偏りを解消することができる。具体的 にドライバー一体型のLCDパネルでは、ドライバ部に 比べて画素部のトランジスタの密度が高いので、ドライ バ部のトランジスタに対応するWシリサイド膜2の大き さを、画素部のそれに比べて大きくしてやることで、基 板1全体の温度分布がほぼ均一になる。

【0.0.3.8】 LCDパネルにあっては、回路の面積の約1.0%がWシリサイド膜ととなるように調整することが好ましい。この工程により、多結晶シリコンTFT(TFT: 1 him Transistor)(A)が形成される。次に、1 hidのように製造された多品品シリコンTFT

□A: を画素駆動素子として用いた透過型構成をとるよ ぐ下の画素部の構成を図11に基づして説明する。

【0 0 3 9】 工程 1:層間絶縁膜 1 1 の形成に先立ち、スパッタ法により、前記基板 1 の画素部領域上に I T O (Indrum Tin Oxide) からなる補助容量の蓄積電極 1 2 を形成する。

工程!: デバイスの全面に絶縁膜13を圧成する。絶縁 ツェニュロケニュー・・・・ 無理時 ニリケニトゼ ーニングして表示電極 1 5 を形成する。

工程3:多結晶シリコンTFT(A)が形成された透明 絶縁基板1と、表面に共通電極16が形成された透明絶 縁基板17とを相対向させ、各基板1、17の間に液晶 を封入して液晶層18を形成する。その結果、LCDの 画素部が完成する。

【0041】次に、図12に本実施例におけるアクティフでトリクス方式L(Dのブロック構成図を示す。画素部19には各走査線(ゲート配線)の1・・・の Gn Gn+1・・・G mと各データ線(ドレイン配線)D1・・・Dn Dn+1・・・Dmとが配置されている。各ゲート配線と各ドレイン配線とはそれぞれ直交し、その直交部分に画素20が設けられている。そして、各ゲート配線は、ゲートドライバ21に接続され、ゲート信号(走査信号)が印加されるようになっている。また、各ドレイン配線は、ドレインドライバ(データドライバ)22に接続され、データ信号(ビデオ信号)が印加されるようになっている。これらのドライバ21、22によって周辺駆動回路23が構成されている。

【0042】そして、各ドライハ21、22のうち少なくともいずれか一方を画素部19と同一基板上に形成したLCDは、一般にドライハ一体型(ドライバ内蔵型)LCDと呼ばれている。尚、ゲートドライハ21が、画素部19の両端に設けられている場合もある。また、ドレインドライバ22が、画素部19の両側に設けられている場合もある。

【0043】この周辺駆動回路23のスイッチング用素子にも前記多結晶シリコンTFT(A)と同等の製造方法で作成した多結晶シリコンTFTを用いており、多結晶シリコンTFT(A)の作製に並行して、同一基板上に形成される。尚、この周辺駆動回路23用の多結晶シリコンTFTは、LDD構造ではなく、通常のシングル下レイン構造を採用している(もちろん、LDD構造であってもよい)。

【0014】また、この周辺駆動回路23の多結晶シリコ、TFTは、CMOS構造に形成することにより、各トライバ21、22としての主法の確小化を実現している。図13にゲート配線では下して立動器を示す。画表部分に設けられている画素20の等価回路を示す。画表20は、画素駆動素子としてのTFT(前記薄膜トランジスタAと同様)、液晶セルして、補助要値(Sから構成される。ゲート配線GnにはTFTのゲートが接続され、ドレイン配線DnにはTFTのトレインが接続され、ドレイン配線DnにはTFTのトレインが接続されて、スープ、でFTニノースには、必算で生しての

・、左右器構奏子が構成される。図晶七寸上でした通館概と表示電極の反対側の電極)には単圧VComで距離されていまった。強助空量ではたけって、アドリニアー

スと接続される側の反対側の電極には定電圧VRが印加されている。この液晶セルLCの共通電極は、文字通り全ての画素20に対して共通した電極となっている。そして、液晶セルLCの表示電極と共通電極との間には静電容量が形成されている。尚、補助容量(Sにおいて、TFTのソースと接続される側の反対側の電極は、隣のケート配線Get1と接続されている場合もある。

【0046】このように構成された画素20において、ゲート配線Gnを正電圧にしてTFTのゲートに正電圧を印加すると、TFTがオンとなる。すると、ドレイン配線Dnに印加されたデータ信号で、液晶セルしての静電容量と補助容量CSとが充電される。反対に、ゲート配線Gnを負電圧にしてTFTのゲートに負電圧を印加すると、TFTがオフとなり、その時点でドレイン配線Dnに印加されていた電圧が、液晶セルしての静電容量と補助容量CSとによって保持される。このように、画素20へ書き込みたいデータ信号をドレイン配線に与えてゲート配線の電圧を制御することにより、画素20に任意のデータ信号を保持させておくことができる。その画素20の保持しているデータ信号に応じて液晶セルしての透過率が変化し、画像が表示される。

【0047】ここで、画素20の特性として重要なものに、書き込み特性と保持特性とがある。書き込み特性に対して要求されるのは、画素部19の仕様から定められた単位時間内に、信号蓄積素子(液晶セルLC及び補助容量CS)に対して所望のビデオ信号電圧を十分に書き込むことができるかどうかという点である。また、保持特性に対して要求されるのは、信号蓄積素子に一旦書き込んだビデオ信号電圧を必要な時間だけ保持することがてきるかどうかという点である。

【0048】補助容量CSが設けられているのは、信号 蓄積素子の静電容量を増大させて書き込み特性及び保持 特性を向上させるためである。すなわち、液晶セルレC は、その構造上、静電容量の増大には限界がある。そこ で、補助容量CSによって液晶セルレビの静電容量の不 足分を補うわけである。以上、本実施制態により製造し た多結晶ンリコンTFTにあっては、しわゆる低温フロ 土以て行うことができ、しかも、良質の多結晶シリコン 膜を能動層として使用している。

ing):0、2 V - decade、オン・オフ比:1 × - 1 0 7の特性を得ることができる。

【0.05.0】また、移動度が高いぶん、TFTの駆動能力が向上するので、TFTのサイスを小さくすることができ、従来能動層として非品質シリコンを用いたトランジスタのサイス($W/L=3.4/(1.0\,\mu\text{m})$)に比べて、1/(8以下のサイス($W/L=8.5\,\mu\text{m})$)に縮小することができる。更には、高品質の能動層であるので、トランジスタのFF時のリーク電流も少なく、そのぶん補助容量の面積も1/(3以下に縮小することができる。

【0.05.1】具体的には、サイズ2、 4型で、画素ビッチ: 5.0、0 (H) μ m× 1.5.00 (V) μ m、画素数: 2.3万ドット(3.2.0× 3 (RGB) > 2.4.0)と、従来型のパネルに比べて 3倍以上の高密度画素を有しながらも、5.5間という高聞口奉(従来比: 1...5倍)のものを得ることができ、高輝度化を実現できる。以上の実施形態は以下のように変更してもよく、その場合でも同様の作用、効果を得ることができる。

【0052】1)Wシリサイド膜2に代えて、非結晶質シリコン膜や多結晶シリコン膜などの半導体膜を用いる。これらのシリコン膜には不純物がドープされていてもよい。このように、尊電性膜又は半導体膜を用いることにより、この熱吸収膜に電圧を印加することで、TFTを、LS1に用いられるMOSトランジスタのように4端子デバイスとして動作させて、しきい値電圧をコントローリできると共に、カラス基板を用いた場合には、基板内のイオンを静電的にシールドするため、ガラス基板内のイオンによるトランジスタの特性お化及び可動イオンが形成する電位によるTFTへの悪影響を防止することができる。

【0.06.8】 2) Wシリサイド膜2に代えて、 $MoSi_2$ 、 $TiSi_2$ 、 $TaSi_2$ 、 $CoSi_2$ などの高融点金属シリサイド、その他、W、Mo、Co、Cr、Ti、Taなどの高融点金属を用いてもよい。更には、使用温度の低い場合には、約450 以下)、AiやAuなどのはオポス低融点金属を用いてもよい。W、リサイド膜も大めで、エカミの金属膜は、光を通さない件質を有しているので、以下の通りの効果を有する。

【0.054】 (4) 光の散乱を防止すると共に液晶セルに 私必から大とうとする不要な光を進るので、LCDデバ イスとしてコントラストが高くなる。

b) TFTによろうとする光を遮るので、光によるリー が電点を減少させてTFTEしてい特性を向上させると サビルによるエエTT自身がお生を防しする。

E(V) には、 E(V) には、 E(V) には、 E(V) に、 E(V) に、 E(V) に、 E(V) に E(V) に

A second second

[、]受するは他相論を含えた漢となる。 (本語語を含えだ判 語質。リゴン膜を週相成長法により多結晶化することに ミド、総以野ダイのさくなる水が移動度は若干例とする

が、結晶成長を短時間で終えることができる。

【0056】4) L程4において、非晶質シリコン膜4 aを減圧CVD法、プラズマCVD法によらず、常圧C VD法、光励起CVD法、蒸着法、EB(Electron Bea m)素着法、MBE(Molecular Beam Epitaxy) 法、スパッ タ法からなるグループの内のいずれか一つの方法によっ て形成する。

5) 多結晶シリコン膜4のチャネル領域に相当する部分に不純物をドーピングして多結晶シリコンTFTのしきい値電圧 (Vth) を制御する。固相成長法で形成した多結晶シリコンTFTにおいては、Nチャネルトランジスタではディフレッション方向にしきい値電圧がシフトし、Pチャネルトランジスタではエンハンスメント方向にしきい値電圧がシフトする傾向にある。また、水素化処理を行った場合には、その傾向がより顕著となる。このしきい値電圧のシフトを抑えるには、チャネル値域に不純物をドーピングすればよい。

【0 0 5 7】 6) 前記工程 5 に代えて以下の工程を行う。

工程 5.a:電気炉により、窒素(N_2)雰囲気中、温度 6.0.0 で程度で約2.0 時間の熱処理を行うことにより、前記非晶質シリコン膜 4.a を固相成長させて多結晶シリコン膜 4 を形成する。

7) 工程5点で形成したこの多結晶シリコン膜4は、膜を構成する結晶に転位等の欠陥が多く存在するとともに、結晶間に非晶質部分が残っている可能性があり、リーク電流が多くなる危惧がある。

【0058】そこで、工程5点の後、基板1をRTA法 又はレーザーアニール法により急速加熱し、多結晶シリコン膜2の膜質を改善する。

8) 工程1や工程7において、スパッタ法以外のPVD 方法(真空蒸着法、イオンプレーティング法、イオンピームデポジション法、クラスターイオンピーム法など) を用いて、Wシリサイド膜2、6 bを形成する。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WSTyre、組成をX>2に設定する。

【0.059】9) 二程 1.9 工程 7 において、CVD法を用いてWシリサイド膜 2、6 もを形成する。そのワースカスとしては、パフッ化タングステン(WF 6)とシラン(S 1 H $_4$)を用いればよい。成膜温度は、3.5.0~4.5.0 C 前後とする。この場合にも、前記したスパッタ法の場合と同様な理由により、Wシリサイド(WS 1.4)の組成をNンりに都定する。CVD使はPVD生

半導体素子全般に適用する。また、太陽電池や光センサなどの光電変換素子、バイポーラトランジスタ、静電誘導型トランジスタ(SIT: Static Induction Transistor)などか多結晶シリコン膜を用いるあらゆる半導体装置に適用する。

[0061]

【発明の効果】本発明にあっては、熱処理にRTA法を 用いた場合における基板の反りや破損を防止することが できる。

【図面の簡単な説明】

【図1】本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図2】 本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図3】 本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図4】 な発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図 5 】 4 発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図 6】 本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図7】本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図8】 な発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図 9】 本発明を具体化した一実施例の製造工程を説明 するための断面図である。

【図 1 0 】 4発明を具体化した一実施例の製造工程を説明するための断面図である。

【図11】LCDの画素部の製造方法を説明するための 概略断面図である。

【図12】アクティブマトリクス方式LCDのブロック 構成図である。

【日13】画素の等価回路図である。

【「414】エキシマレーザーアニール装置の構成図である。

【1415】 RTA装置の構成図である。

【同16】従末例の製造工程を説明するための断面図である。

【図 1.7】従来例の製造工程を説明するための断面図である。

【符号四歲則】

1 - 絕緣基板

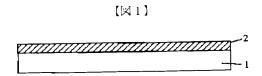
- シーに生い膜 カート地縁膜
- 6 ケート電機
- 4. 不能物值过

向、人を力型、逆スク力質などあられる構造の多結晶。 ロコンTFTに適用する。

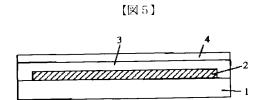
^{!!} 多い基プリング アドヤヤンセケイ 地縁が二人型

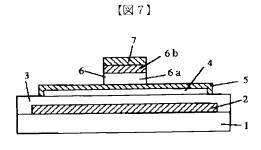
¹⁰⁰ miles (100 miles 100 m

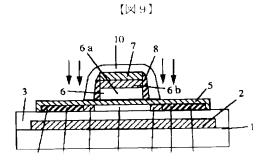
A TFT (半導体素子)

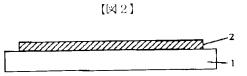


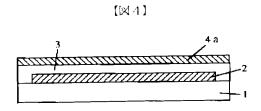
【図3】

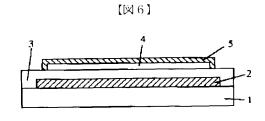


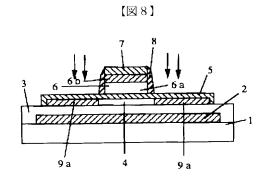


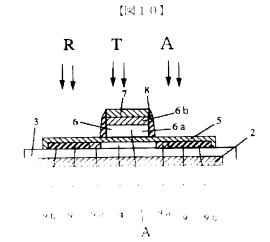


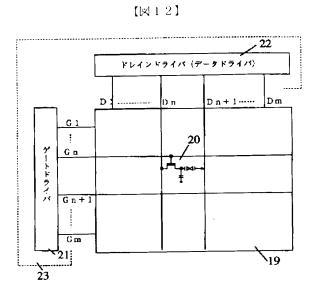


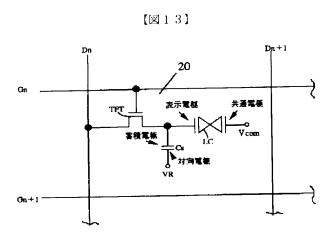


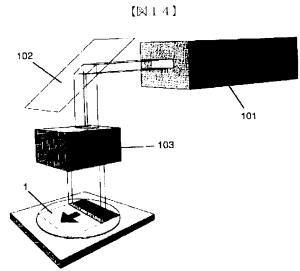


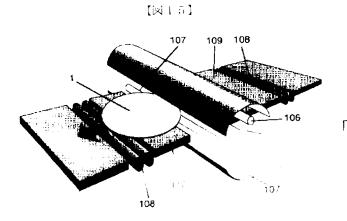


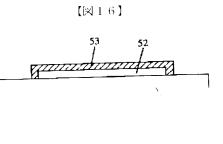




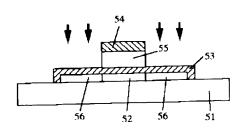








【図17】



フロントページの続き

(72) 発明者 森本 佳宏

大阪府守口市京阪本道2丁目5番5号 三 洋電機株式会社内

(72) 発明者 米田 清

大阪府守口市京阪本道2丁目5番5号 三 洋電機株式会社内